

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2001年3月15日 (15.03.2001)

PCT

(10) 国際公開番号  
WO 01/18878 A1

(51) 国際特許分類<sup>7</sup>: H01L 29/788, 29/792, 27/115, 21/8247

神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).

(21) 国際出願番号: PCT/JP00/03468

(22) 国際出願日: 2000年5月30日 (30.05.2000)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願平11/250780 1999年9月3日 (03.09.1999) JP

(71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒211-8588 神

(72) 発明者: および

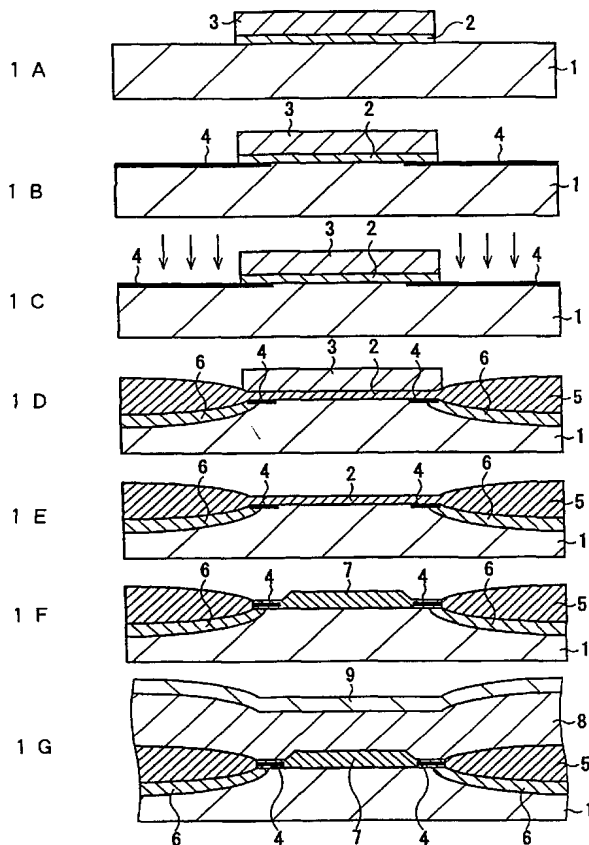
(75) 発明者/出願人 (米国についてのみ): 栗原英男 (KURIHARA, Hideo) [JP/JP]. 飯島光輝 (IIJIMA, Mitsuteru) [JP/JP]. 板野清義 (ITANO, Kiyoshi) [JP/JP]. 千田哲也 (CHIDA, Tetsuya) [JP/JP]; 〒211-8588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).

(74) 代理人: 國分孝悦 (KOKUBUN, Takayoshi); 〒170-0013 東京都豊島区東池袋1丁目17番8号 池袋TGホームストビル5階 Tokyo (JP).

[続葉有]

(54) Title: SEMICONDUCTOR MEMORY AND METHOD OF MANUFACTURE THEREOF

(54) 発明の名称: 半導体記憶装置及びその製造方法



(57) Abstract: A nonvolatile semiconductor memory comprises a pair of diffused layers (6) formed in the surface area of a p-type silicon substrate (1), and a gate electrode (polysilicon film (8) and tungsten silicide film (9)) formed on a gate oxide (7) between the diffused layers (6) over the p-type silicon substrate (1). Silicon nitride film (4) is formed at both ends of the gate oxide (7) so that the carrier trap characteristic may become high locally in areas near the pair of diffused layer (6). This configuration prevents carrier injection to other than the ends of the gate oxide (7), ensures reliable recording and storage, and increases reliability by preventing write and erase errors.

[続葉有]

WO 01/18878 A1



(81) 指定国 (国内): KR, US.

添付公開書類:  
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

p型シリコン半導体基板(1)の表面領域に形成された1対の不純物拡散層(6)と、1対の不純物拡散層(6)間におけるp型シリコン半導体基板(1)上にゲート酸化膜(7)を介して形成されたゲート電極(多結晶シリコン膜(8)、タングステンシリサイド膜(9))とを備えた不揮発性半導体メモリであって、ゲート酸化膜(7)の両端部にシリコン窒化膜(4)が形成され、1対の不純物拡散層(6)のそれぞれに近接する位置のキャリアトラップ特性が局部的に高く形成されている。この構成により、ゲート酸化膜(7)の両端以外にキャリアが注入されることを抑止でき、情報を確実に記録、保持することが可能となり、書き込み不良又は消去不良の発生を防止して信頼性を向上させることが可能となる。

## 明 細 書

## 半導体記憶装置及びその製造方法

技術分野

本発明は、半導体記憶装置及びその製造方法に関し、特に、1つのメモリセルに2ビットの情報を記録可能な不揮発性半導体メモリに用いて好適なものである。

背景技術

近年、キャリアの注入位置を異ならせることにより、1つのメモリセルに2ビットの情報を記録可能とした不揮発性半導体メモリが研究、開発されている。この不揮発性半導体メモリは、ゲートの下層に設けられた電荷捕獲膜にキャリアを捕獲するメモリであって、情報を書き込む場合と読み出す場合とでソース／ドレイン間に印加する電圧の方向を逆方向とし、チャネル領域の両端部に相当する位置における電荷捕獲膜中にそれぞれ独立して電子を捕獲するように構成されている。そして、両端部それぞれにおける電子の捕獲の有無によって2ビットの情報を記録可能としている。

例えば、国際公開WO 99/07000号公報には、上述した構成の不揮発性半導体メモリが開示されている。図8を参照しながら、同公報に開示された不揮発性半導体メモリの構成及びデータの書き込み／読み出しの動作について簡単に説明する。

図8に示すように、不揮発性半導体メモリ100は、p型シリコン半導体基板101の表面領域に形成されたソース／ドレインとして機能する1対の不純物拡散層102、103と、当該不純物拡散層102、103間のp型シリコン半導体基板101上に形成された3層構造の絶縁膜及び当該3層構造の絶縁膜上に形成されたゲート電極107から成る。ここで、3層構造の絶縁膜はゲート絶縁膜（シリコン酸化膜）104、電荷捕獲膜（シリコン窒化膜）105、シリコン酸化膜106から構成されている。

この不揮発性半導体メモリ100においては、電荷捕獲膜中のチャネル領域の両端部に相当する位置にそれぞれ独立して電子を捕獲するように構成され、R I

G H T B I T 及び L E F T B I T のそれぞれに 1 ビット、合計 2 ビットの情報を記録することが可能とされている。情報の記録は、ゲート絶縁膜 1 0 4 と電荷捕獲膜 1 0 5 の界面に電子が注入されることによって成され、R I G H T B I T に情報を記録する場合には、図 8 に示す領域 1 0 9 に電子が注入され、L E F T B I T に情報を記録する場合には、領域 1 0 8 に電子が注入される。

R I G H T B I T へ情報を書き込む場合には、例えばソースを 0 V、ドレインを 5 V 程度としてソース／ドレイン間に電位差を生じさせ、ゲート 1 0 7 に高電圧（1 0 V 程度）を印加してソース／ドレイン間にチャネル 1 1 0 を形成する。チャネル 1 1 0 が形成されていない範囲  $1_2$  ではソース／ドレイン間の電位差に起因して電界が生じるため、この範囲  $1_2$  においてチャネルホットエレクトロンが発生し、領域 1 0 9 に電子が捕獲（トラップ）される。

R I G H T B I T から情報を読み出す場合には、書き込みの場合と逆方向の電圧をソース／ドレイン間に印加する。この際、領域 1 0 9 に電子が捕獲されているため、領域 1 0 9 の下層で不純物拡散層 1 0 3 から不純物拡散層 1 0 2 に向かってチャネルが形成されず、しきい値が上昇しているためソース／ドレイン間には電流が流れない。領域 1 0 9 に電子を捕獲していない場合にはソース／ドレイン間にチャネルが形成されて電流が流れるため、電子の捕獲の有無に対応して 1 ビットの情報を記憶することが可能である。

領域 1 0 9 に電子を捕獲した場合において、読み出しの際に書き込みと同じ方向に電圧を印加すると、ソース／ドレイン間にチャネルが形成されて電流が流れてしまうため、情報を読み出す場合には、上述したように書き込みの場合と逆方向の電圧をソース／ドレイン間に印加する必要がある。

L E F T B I T への情報の書き込み、読み出しも R I G H T B I T の場合と同様に行うことができ、R I G H T B I T への情報の書き込み、読み出しの際に印加する電圧の方向に対してそれぞれ逆方向の電圧を印加することによって行うことができる。

しかしながら、例えば R I G H T B I T に情報を書き込む場合において、書き込み時にメモリセルのしきい値を上昇させるために発生させたチャネルホットエレクトロンの注入位置は、ドレイン 1 0 3 とゲート電極 1 0 7 に印加する電圧

に応じて変動するため、上述した従来の構成では、領域 109 に電子を局在させる必要があるにもかかわらず、本来電子が注入されるべきではないチャネル中央部のゲート絶縁膜 104 中にも電子が捕獲されるという問題が生じる。

また、しきい値が上昇した状態（例えば書き込み状態）において、メモリセルのしきい値を下降させる（例えば消去動作）際に注入されるホットホールは、上述のホットエレクトロンとは発生メカニズムが異なるため、両者の注入位置は必ずしも一致しない。このため、書き込み、消去を繰り返すうちに、いずれか一方の電荷がシリコン窒化膜 105 中に残る場合が生じ、書き込み又は消去不良が起こるという問題があった。

この問題は、しきい値を上昇させる場合には電子を過剰に注入し、しきい値を下降させる場合にはホールを過剰に注入することにより軽減することができるものの、キャリアを過剰に注入すると、書き込み、消去速度の遅延が起こり、素子の性能を劣化させてしまうという別の問題が生じてしまう。また、キャリアの過剰な注入は必要以上の電氣的ストレスを絶縁膜に印加することになるため、経時絶縁破壊等の原因となり素子の信頼性の観点からも望ましくない。

また、ホール注入の際の電圧印加条件を電子の注入位置の分布に合わせる方法を選択すると、ホールの発生効率は必ずしも最適とはならないため、やはり素子特性の劣化を招来することとなる。

本発明は、このような問題を解決するために成されたものであり、キャリアの注入位置を異ならせて 2 ビットの情報を記録する半導体記憶装置において、2 ビットの情報を確実に記録、保持することを可能とし、書き込み不良又は消去不良の発生を抑止して信頼性を向上させた半導体記憶装置及びその製造方法を提供することを目的とする。

### 発明の開示

本発明の半導体記憶装置は、半導体基板の表面領域に形成された 1 対の不純物拡散層と、前記 1 対の不純物拡散層間における前記半導体基板上にゲート絶縁膜を介して形成されたゲート電極とを備え、前記ゲート電極に所定電圧を印加することにより前記ゲート絶縁膜にキャリアを捕獲するように成された半導体記憶装

置であって、前記ゲート絶縁膜は、前記１対の不純物拡散層のそれぞれに近接する位置におけるキャリアトラップ特性が他の領域に比して高くなるように形成されている。

本発明の半導体記憶装置の製造方法は、半導体基板上に第１及び第２の絶縁膜を順次形成する第１の工程と、前記第１及び第２の絶縁膜を選択的に除去して共にパターニングする第２の工程と、露出した前記半導体基板上から前記第２の絶縁膜の下層の所定範囲にかけての前記半導体基板上に第３の絶縁膜を形成する第３の工程と、前記第２の絶縁膜をマスクとして前記半導体基板に不純物を導入し、前記第２の絶縁膜の両側の前記半導体基板の表面領域に各々が独立した一对の不純物拡散層を形成する第４の工程と、前記第２の絶縁膜の下層の所定範囲に形成された前記第３の絶縁膜を残し、他の領域の前記第３の絶縁膜を除去して前記半導体基板を露出させる第５の工程と、露出した前記半導体基板を熱酸化して素子分離膜を形成する第６の工程と、前記第１及び第２の絶縁膜を除去して、下層の前記半導体基板及び前記第３の絶縁膜を露出させ、当該第３の絶縁膜を電荷捕獲膜とする第７の工程と、露出した前記半導体基板の表面を熱酸化して第４の絶縁膜を形成し、前記電荷捕獲膜の上層及び下層を当該第４の絶縁膜で覆う第８の工程と、前記第４の絶縁膜の上層に導電膜を形成する第９の工程と、前記導電膜をゲート電極形状にパターニングする第１０の工程とを有する。

本発明の半導体記憶装置の製造方法は、半導体基板上に第１の絶縁膜を形成する工程と、前記第１の絶縁膜を選択的に除去して下層の前記半導体基板を露出させる工程と、前記第１の絶縁膜をマスクとして露出した前記半導体基板に不純物を導入し、前記第１の絶縁膜の両側の前記半導体基板の表面領域に各々が独立した一对の不純物拡散層を形成する工程と、前記不純物拡散層上及び前記第１の絶縁膜を覆うように第２の絶縁膜を形成する工程と、前記第１の絶縁膜上の前記第２の絶縁膜を除去し、前記第１の絶縁膜を露出させる工程と、前記第１の絶縁膜を除去して下層の前記半導体基板を露出させ、この領域を素子活性領域とする工程と、前記素子活性領域における前記半導体基板上に第３の絶縁膜を形成する工程と、前記第３の絶縁膜上に第４の絶縁膜を形成する工程と、前記第４及び第２の絶縁膜を覆うように第５の絶縁膜を形成する工程と、前記素子活性領域の両側

にのみ残存するように前記第 5 の絶縁膜を除去して、前記第 2 の絶縁膜の側壁に前記第 5 の絶縁膜から成るサイドウォールを形成するとともに、前記素子活性領域における前記半導体基板を露出させる工程と、露出した前記半導体基板上に第 6 の絶縁膜を形成する工程と、前記サイドウォールを除去して前記サイドウォールの下層の前記第 4 の絶縁膜を露出させ、当該第 4 の絶縁膜を電荷捕獲膜とする工程と、前記電荷捕獲膜上に第 7 の絶縁膜を形成する工程と、前記第 6 及び第 7 の絶縁膜上を覆う導電膜を形成する工程とを有する。

本発明は上記技術手段より成るので、データ書き込み時にゲート電極に高電圧を印加してホットエレクトロンを発生させると、ゲート絶縁膜中において、チャネル幅中央部よりもキャリアトラップ特性の高い端部に電子が注入されることとなる。これにより、ゲート電極下のゲート絶縁膜の端部に集中的に電子を捕獲することが可能となる。データ消去時にも同様に、ホットホールをゲート絶縁膜の端部に集中的に注入することができるため、安定してデータの消去が行われることとなる。

本発明によれば、キャリアの注入位置を異ならせて 2 ビットの情報を記録する半導体記憶装置において、2 ビットの情報を安定かつ確実に記録し、保持することが可能となる。従って、書き込み又は消去不良の発生を抑止することができ、信頼性を向上させた半導体記憶装置及びその製造方法を提供することができる。

#### 図面の簡単な説明

図 1 A ～ 図 1 G は、本発明の第 1 の実施形態に係る不揮発性半導体メモリの製造方法を工程順に示す概略断面図である。

図 2 は、本発明の各実施形態に係る不揮発性半導体メモリの平面構成を示す概略平面図である。

図 3 は、本発明の各実施形態に係る不揮発性半導体メモリの平面構成を詳細に示す概略平面図である。

図 4 A 及び図 4 B は、本発明の各実施形態に係る不揮発性半導体メモリの書き込み、読み出しの動作を示す概略断面図である。

図 5 A ～ 図 5 G は、本発明の第 2 の実施形態に係る不揮発性半導体メモリの製

造方法を工程順に示す概略断面図である。

図 6 A ～ 図 6 G は、本発明の第 3 の実施形態に係る不揮発性半導体メモリの製造方法を工程順に示す概略断面図である。

図 7 A ～ 図 7 F は、本発明の第 4 の実施形態に係る不揮発性半導体メモリの製造方法を工程順に示す概略断面図である。

図 8 は、従来の不揮発性半導体メモリの構成を示す概略断面図である。

#### 発明を実施するための最良の形態

以下、本発明のいくつかの実施形態に係る不揮発性半導体メモリの構成及びその製造方法を、図面を参照しながら共に説明する。

##### (第 1 の実施形態)

先ず、第 1 の実施形態について説明する。図 1 A ～ 図 1 G は第 1 の実施形態に係る不揮発性半導体メモリの製造方法を工程順に示す概略断面図である。また、図 2 及び図 3 は第 1 の実施形態に係る不揮発性半導体メモリの平面構成を示す概略平面図である。ここで、図 1 は不揮発性半導体メモリの 1 つのメモリセルに着目し、当該メモリセルの断面を製造工程順に示した図であって、図 3 の一点鎖線 I - I ' に沿った位置に対応する断面を示している。

先ず、p 型シリコン半導体基板 1 上に所定のウェルを形成し、更に周辺回路領域の素子分離を行う（不図示）。次に、図 1 A に示すように、メモリセルの領域において、熱酸化法によりシリコン酸化膜 2 を 20 nm 程度の膜厚まで成長させ、シリコン酸化膜 2 上に CVD 法によりシリコン窒化膜 3 を 200 nm 程度の膜厚で堆積する。

その後、フォトリソグラフィー及びこれに続くエッチングにより、メモリセルのチャネル領域となる部位の p 型シリコン半導体基板 1 上にはシリコン窒化膜 3 及びシリコン酸化膜 2 を残し、その他の領域のシリコン窒化膜 3 及びシリコン酸化膜 2 を除去する。

次に、図 1 B に示すように、アンモニア (NH<sub>3</sub>) ガス雰囲気下において、温度 950℃ 程度、時間 20 分から 120 分程度の条件にてアニール処理を行い、露



出した p 型シリコン半導体基板 1 上からシリコン窒化膜 3 のパターン端部の下層の所定範囲にかけてシリコン窒化膜 4 を形成する。この際に、表面に露出した p 型シリコン半導体基板 1 においては、シリコンとアンモニアガスの直接反応によりシリコン窒化膜 4 が形成される。また、シリコン窒化膜 3 のパターン端部下においては、シリコン酸化膜 2 中を拡散したアンモニアとの反応でシリコン窒化膜 4 が形成される。シリコン窒化膜 4 の成膜条件を調整することにより、シリコン窒化膜 3 のパターン端に形成されるシリコン窒化膜 4 の幅を制御することができる。

なお、シリコン窒化膜 4 の形成はイオン注入法によって行っても良い。この場合には、窒素 ( $N_2$ ) 等を含むイオンを、加速エネルギー 30 keV 程度、ドーズ量  $1 \times 10^{16}$  (ions/cm<sup>2</sup>) 程度の条件でイオン注入し、アニールすることにより p 型シリコン半導体基板 1 の表面付近に窒素を含んだ膜を形成する。この際、p 型シリコン半導体基板 1 に対するイオン注入の角度を制御することで、シリコン窒化膜 3 のパターン端の下層に形成されるシリコン窒化膜 4 の幅を制御することができる。

次に、図 1 C に示すように、シリコン窒化膜 3 をマスクとして p 型シリコン半導体基板 1 の表面領域にイオン注入を行う。具体的には、n 型の不純物である砒素 (As) を加速エネルギー 50 keV 程度、ドーズ量を  $1 \times 10^{16}$  (ions/cm<sup>2</sup>) 程度の条件でイオン注入する。このイオン注入により打ち込まれた不純物は、シリコン窒化膜 3 の両側の p 型シリコン半導体基板 1 の表面領域における、ソース/ドレインとして機能する 1 対の不純物拡散層 6 となる。本実施形態において、不純物拡散層 6 はビットラインとして機能するため、図 2 に示すように、不純物拡散層 6 は複数本が所定方向に延在するように形成され各メモリセルと接続される。

次に、図 1 D に示すように、シリコン窒化膜 3 をマスクとして、熱酸化により p 型シリコン半導体基板 1 の表面を選択酸化する。この際、図 1 C の工程におけるイオン注入によって、砒素が打ち込まれた領域のシリコン窒化膜 4 の耐酸化性は失われているため、図 1 D に示す工程での熱酸化によりシリコン窒化膜 3 の下層以外の p 型シリコン半導体基板 1 の表面が酸化されて、いわゆる LOCOS

(Local oxidation of silicon) 素子分離としてのシリコン酸化膜 5 が成長する。そして、シリコン酸化膜 5 によって p 型シリコン半導体基板 1 上に素子活性領域が画定される。

次に、図 1 E に示すように、p 型シリコン半導体基板 1 を温度 150℃程度のリン酸溶液中に浸し、シリコン窒化膜 3 を溶解して除去する。この際、シリコン窒化膜 3 の下層に形成されているシリコン窒化膜 4 は、上面がシリコン酸化膜 2 で覆われて保護されているため、リン酸によって除去されることなくシリコン酸化膜 2 下に残存する。

次に、図 1 F に示すように、p 型シリコン半導体基板 1 上のシリコン酸化膜 2 をフッ酸 (HF) 溶液に浸して除去する。その後、熱酸化を施して、ゲート絶縁膜としてのシリコン酸化膜 7 を膜厚 15 nm 程度形成する。この際、シリコン窒化膜 4 が形成されている部位では、シリコン窒化膜 4 の作用により熱酸化による酸化速度が低下するため、この位置におけるシリコン酸化膜 7 は他の領域に比して薄く形成される。この熱酸化によってシリコン窒化膜 4 はシリコン酸化膜 7 によって覆われ、1 対の不純物拡散層 6 のそれぞれの近傍における p 型シリコン半導体基板 1 上には、シリコン酸化膜 7 中にシリコン窒化膜 4 を含む構造のゲート絶縁膜が形成される。

シリコン窒化膜 4 はシリコン酸化膜 7 に比してキャリアトラップ特性が高いため、ゲート絶縁膜として機能するシリコン酸化膜 7 中の一部にシリコン窒化膜 4 を含ませることによって、この部位におけるキャリアトラップ特性をシリコン酸化膜 7 の他の領域に比して向上させることができる。すなわち、シリコン酸化膜 7 の端部にシリコン窒化膜 4 を形成することによって、チャネル領域の中央近傍に比してチャネル領域端部の電気容量換算膜厚を小さくしたゲート絶縁膜を形成することができる。しかも、シリコン窒化膜 4 が形成されていない領域では、シリコン窒化膜 4 が形成された領域よりもシリコン酸化膜 7 が厚く形成されているため、上部に形成するゲート電極に電圧を印加した場合、ゲート酸化膜 7 へのキャリアトラップが抑制される。従って、チャネル領域の中央近傍に比してチャネル領域端部におけるキャリアトラップ特性を高めることができる。

次に、図 1 G に示すように、CVD 法によりリン (P) がドーピングされた多結晶

シリコン膜 8 を p 型シリコン半導体基板 1 上の全面に形成し、更に、CVD 法により多結晶シリコン膜 8 上にタングステンシリサイド膜 9 を膜厚 100 nm 程度堆積する。その後、フォトリソグラフィー及びこれに続くドライエッチングにより、多結晶シリコン膜 8 及びタングステンシリサイド膜 9 をゲート電極形状にパターンニングする。これにより、多結晶シリコン膜 8 及びタングステンシリサイド膜 9 から成るポリサイド構造のゲート電極が形成される。そして、以上の工程により、トランジスタの主要部分であるソース／ドレイン拡散層（不純物拡散層 6）、ゲート絶縁膜（シリコン酸化膜 7、シリコン窒化膜 4）、ゲート電極（多結晶シリコン膜 8、タングステンシリサイド膜 9）の形成が完了する。

その後、一般的な配線層の形成工程を行い本実施形態に係る不揮発性半導体メモリを完成させる。すなわち、CVD 法により層間絶縁膜（シリコン酸化膜等）を堆積して、多結晶シリコン膜 8 及びタングステンシリサイド膜 9 から成るゲート電極を覆い、フォトリソグラフィー及びこれに続くドライエッチングにより、層間絶縁膜にコンタクトホールを形成する。そして、層間絶縁膜上に配線層として例えばアルミニウム膜をスパッタ法により堆積してコンタクトホールを充填し、フォトリソグラフィー及びこれに続くドライエッチングにより、アルミニウム膜を所定形状にパターンニングする。その後、アルミニウム膜を覆うように保護膜を形成する。

図 2 は、完成した本実施形態に係る不揮発性半導体メモリの全体の平面構成を示す図であり、ゲート電極上の層間絶縁膜及びアルミニウム膜は図示を省略している。図 2 に示すように、ゲート電極（多結晶シリコン膜 8、タングステンシリサイド膜 9）は複数本が並んで配置され、やはり複数本並んで形成された不純物拡散層 6 に対して直交するように形成される。

図 3 は、図 2 中の二点鎖線で囲まれた領域 A を拡大して示す模式図であり、素子分離膜としてのシリコン酸化膜 5 は図示を省略している。図 3 において、二点鎖線 B で囲まれた領域が 1 つのメモリセルを構成する領域である。図 3 に示すように、シリコン窒化膜 4 は不純物拡散層 6 の両側に沿って形成され、シリコン酸化膜 7 を介して対向するように配置されている。データの書き込み、消去は、選択されたメモリセルに対応するゲート電極を高電位とし、当該メモリセルの両側

の不純物拡散層 6 間に電位差を与えることにより行うことができる。

図 4 A 及び図 4 B は、データの書き込み及び読み出しの動作を示す模式図である。データを書き込む際には、図 4 A に示すように、右側に位置する不純物拡散層 6 a をソースとして接地し、左側に位置する不純物拡散層 6 b をドレインとして 5 V 程度の電圧を印加する。そして、ゲート電極に高電圧 (10 V) 程度を印加することにより、ドレイン (不純物拡散層 6 b) 近傍でホットエレクトロンが発生してシリコン窒化膜 4 b に電子 e が捕獲される。この際、電子 e を捕獲するシリコン窒化膜 4 b をドレイン近傍にのみ形成し、チャネル幅中央近傍に形成していないため、シリコン窒化膜 4 b が形成された領域にのみ電子 e が捕獲されることになる。従って、シリコン窒化膜 4 b が形成された領域以外への電子 e の捕獲を抑止して、データの書き込みの信頼性を向上させることができる。

データを消去する際には、不純物拡散層 6 a を開放し、不純物拡散層 6 b をドレインとして 5 V 程度の電圧を印加する。そして、ゲート電極に負電圧 (-5 V 程度) を印加することにより、ドレイン (不純物拡散層 6 b) 近傍でホットホールが発生してシリコン窒化膜 4 b にホールが捕獲される。この際、ホールを捕獲するシリコン窒化膜 4 b をドレイン近傍にのみ形成し、チャネル幅中央近傍に形成していないため、シリコン窒化膜 4 b が形成された領域にのみホールが捕獲されることになり、捕獲されている電子 e を確実に消去することができる。従って、データの消去の信頼性を向上させることが可能となる。

データを読み出す際には、図 4 B に示すように、不純物拡散層 6 b をソースとして接地し、不純物拡散層 6 a をドレインとして 1.6 V 程度の電圧を印加する。シリコン窒化膜 4 b に電子 e が捕獲されている場合には、捕獲された電子 e により生じる負電界によりチャネル消失するため、しきい値が上昇し、不純物拡散層 6 a, 6 b 間には電流が流れない。シリコン窒化膜 4 b に電子 e が捕獲されていない場合には、チャネルが消失せず、不純物拡散層 6 a, 6 b 間に電流が流れる。従って、シリコン窒化膜 4 b への電子 e の捕獲の有無に対応して、1 ビットの情報を記憶することが可能である。

シリコン窒化膜 4 a へのデータを書き込み、読み出しは、上述したシリコン窒化膜 4 b へのデータを書き込み、読み出しと逆方向の電圧を印加することにより

行うことができる。これにより、シリコン窒化膜 4 a, 4 b に 2 ビットの情報を記録することが可能となる。

以上説明したように、本発明の第 1 の実施形態によれば、ゲート酸化膜 7 の両端にキャリアトラップ特性の高いシリコン窒化膜 4 を形成しているため、構造的に電荷の注入箇所が限定されることとなり、確実にシリコン窒化膜 4 の近傍のみにキャリアをトラップすることが可能となる。これにより、情報を記録する際に、ゲート電極（多結晶シリコン膜 8、タングステンシリサイド膜 9）を高電位とし、1 対の不純物拡散層 6 間に電位差を与えた場合において、ゲート電極の電位や 1 対の不純物拡散層 6 間の電位差のバラツキ等に影響を受けることなく、確実にシリコン窒化膜 4 近傍に電子をトラップすることができ、他の領域に電子がトラップされることを抑止することができる。また、データの消去時においても、確実にシリコン窒化膜 4 近傍に正孔（ホール）をトラップすることができ、他の領域に正孔が捕獲されることを抑止することができる。これにより、必要最小限のキャリアの注入により、安定かつ確実にデータの記録及び消去を行うことが可能となる。

#### （第 2 の実施形態）

次に、本発明の第 2 の実施形態について説明する。図 5 A～図 5 G は第 2 の実施形態に係る不揮発性半導体メモリの製造方法を工程順に示す概略断面図である。第 2 の実施形態に係る不揮発性半導体メモリの平面構成は、図 2 及び図 3 に示した第 1 の実施形態に係る不揮発性半導体メモリの平面構成と同様である。ここで、図 5 A～図 5 G は不揮発性半導体メモリの 1 つのメモリセルに着目し、当該メモリセルの断面を製造工程順に示した図であって、第 1 の実施形態と同様、図 3 の一点鎖線 I - I' に沿った位置に対応する断面を示している。なお、図 5 A～図 5 G において、第 1 の実施形態と共通の構成要素については図 1 と同様の符号を記して説明する。

先ず、p 型シリコン半導体基板 1 上に所定のウェルを形成し、更に周辺回路領域の素子分離を行う（不図示）。次に、図 5 A に示すように、メモリセルの領域において、熱酸化法によりシリコン酸化膜 2 を 20 nm 程度の膜厚まで成長させ、

シリコン酸化膜 2 上に C V D 法によりシリコン窒化膜 3 を 2 0 0 n m 程度の膜厚で堆積する。

その後、フォトリソグラフィー及びこれに続くエッチングにより、メモリセルのチャネル領域となる部位の p 型シリコン半導体基板 1 上にはシリコン窒化膜 3 及びシリコン酸化膜 2 を残し、その他の領域のシリコン窒化膜 3 及びシリコン酸化膜 2 を除去する。

次に、図 5 B に示すように、p 型シリコン半導体基板 1 をフッ酸 (H F) 溶液に浸し、シリコン酸化膜 2 を横幅方向に 5 0 n m 程度ウエットエッチングする。このエッチングにより、シリコン酸化膜 2 の幅がシリコン窒化膜 3 の幅よりも狭くなる。その後、アンモニア (N H<sub>3</sub>) ガス雰囲気下において、温度 9 5 0 ℃程度、時間 2 0 分から 1 2 0 分程度の条件にてアニール処理を行い、露出した p 型シリコン半導体基板 1 上からシリコン窒化膜 3 のパターン端部の下層、シリコン酸化膜 2 のパターン端にかけてシリコン窒化膜 4 を形成する。ここで、上述したようにシリコン酸化膜 2 を横幅方向にエッチングしているため、シリコン窒化膜 3 のパターン端の下層における p 型シリコン半導体基板 1 の表面領域にシリコン窒化膜 4 を確実に形成することができる。また、シリコン酸化膜 2 の除去量を制御することにより、シリコン窒化膜 3 の下層におけるシリコン窒化膜 4 の横幅を高い精度で調整することが可能となる。

なお、シリコン窒化膜 4 の形成はイオン注入法によって行っても良い。この場合には、窒素 (N<sub>2</sub>) 等を含むイオンを、加速エネルギー 3 0 k e V 程度、ドーズ量  $1 \times 10^{16}$  (i o n s / c m<sup>2</sup>) 程度の条件でイオン注入し、アニールすることにより p 型シリコン半導体基板 1 の表面付近に窒素を含んだ膜を形成する。この際、p 型シリコン半導体基板 1 に対するイオン注入の角度を制御することで、シリコン窒化膜 3 のパターン端の下層に形成されるシリコン窒化膜 4 の幅を制御することができる。

次に、図 5 C に示すように、シリコン窒化膜 3 をマスクとして p 型シリコン半導体基板 1 の表面領域にイオン注入を行う。具体的には、n 型の不純物である砒素 (A s) を加速エネルギー 5 0 k e V 程度、ドーズ量を  $1 \times 10^{16}$  (i o n s / c m<sup>2</sup>) 程度の条件でイオン注入する。このイオン注入により打ち込まれた不純物

は、シリコン窒化膜 3 の両側の p 型シリコン半導体基板 1 の表面領域における、ソース／ドレインとして機能する 1 対の不純物拡散層 6 となる。そして、不純物拡散層 6 はビットラインとして機能するため、図 2 に示すように、複数本が所定方向に延在するように形成され、各メモリセルと接続される。

次に、図 5 D に示すように、シリコン窒化膜 3 をマスクとして、熱酸化により p 型シリコン半導体基板 1 の表面を選択的に酸化する。この際、図 5 C の工程におけるイオン注入によって、砒素が打ち込まれた領域のシリコン窒化膜 4 の耐酸化性は失われているため、図 5 D に示す工程での熱酸化によりシリコン窒化膜 3 の下層以外の p 型シリコン半導体基板 1 の表面が酸化されて、いわゆる L O C O S 素子分離としてのシリコン酸化膜 5 が成長する。そして、シリコン酸化膜 5 によって p 型シリコン半導体基板 1 上に素子活性領域が画定される。

次に、図 5 E に示すように、p 型シリコン半導体基板 1 を温度 1 5 0 ℃ 程度のリン酸溶液中に浸し、シリコン窒化膜 3 を溶解して除去する。この際、シリコン窒化膜 3 の下層に形成されているシリコン窒化膜 4 は、上面がシリコン酸化膜 2 で覆われて保護されているため、リン酸によって除去されることなくシリコン酸化膜 2 下に残存する。

次に、図 5 F に示すように、p 型シリコン半導体基板 1 上のシリコン酸化膜 2 をフッ酸 (H F) 溶液に浸して除去する。その後、熱酸化を施して、ゲート絶縁膜としてのシリコン酸化膜 7 を膜厚 1 5 n m 程度形成する。この際、シリコン窒化膜 4 が形成されている部位では、シリコン窒化膜 4 により熱酸化による酸化速度が低下するため、この位置におけるシリコン酸化膜 7 は他の領域に比して薄く形成される。この熱酸化によってシリコン窒化膜 4 はシリコン酸化膜 7 によって覆われ、1 対の不純物拡散層 6 のそれぞれの近傍における p 型シリコン半導体基板 1 上には、シリコン酸化膜 7 中にシリコン窒化膜 4 を含む構造のゲート絶縁膜が形成される。

シリコン窒化膜 4 はシリコン酸化膜 7 に比してキャリアトラップ特性が高いため、第 1 の実施形態と同様に、ゲート絶縁膜として機能するシリコン酸化膜 7 中の一部にシリコン窒化膜 4 を含ませることによって、この部位におけるキャリアトラップ特性をシリコン酸化膜 7 の他の領域に比して向上させることができる。

しかも、シリコン窒化膜 4 が形成されていない領域では、シリコン窒化膜 4 が形成された領域よりもシリコン酸化膜 7 が厚く形成されているため、上部に形成するゲート電極に電圧を印加した場合、ゲート酸化膜 7 へのキャリアトラップが抑制される。従って、チャネル領域の中央近傍に比してチャネル領域端部におけるキャリアトラップ特性を高めることができる。

次に、図 5 G に示すように、CVD 法により、リン (P) がドーパされた多結晶シリコン膜 8 を p 型シリコン半導体基板 1 上の全面に形成し、更に、CVD 法により多結晶シリコン膜 8 上にタングステンシリサイド膜 9 を膜厚 100 nm 程度堆積する。その後、フォトリソグラフィー及びこれに続くドライエッチングにより、多結晶シリコン膜 8 及びタングステンシリサイド膜 9 をゲート電極形状にパターニングする。これにより、多結晶シリコン膜 8 及びタングステンシリサイド膜 9 から成るポリサイド構造のゲート電極が形成される。そして、以上の工程により、トランジスタの主要部分であるソース／ドレイン拡散層（不純物拡散層 6）、ゲート絶縁膜（シリコン酸化膜 7、シリコン窒化膜 4）、ゲート電極（多結晶シリコン膜 8、タングステンシリサイド膜 9）の形成が完了する。

その後、一般的な配線層の形成工程を行い、本実施形態に係る不揮発性半導体メモリを完成させる。すなわち、CVD 法により層間絶縁膜（シリコン酸化膜等）を堆積して、多結晶シリコン膜 8 及びタングステンシリサイド膜 9 から成るゲート電極を覆い、フォトリソグラフィー及びこれに続くドライエッチングにより、層間絶縁膜にコンタクトホールを形成する。そして、層間絶縁膜上に配線層として例えばアルミニウム膜をスパッタ法により堆積してコンタクトホールを充填し、フォトリソグラフィー及びこれに続くドライエッチングにより、アルミニウム膜を所定形状にパターニングする。その後、アルミニウム膜を覆うように保護膜を形成する。

以上説明したように、本発明の第 2 の実施形態によれば、第 1 の実施形態と同様に、ゲート酸化膜 7 の両端にキャリアトラップ特性の高いシリコン窒化膜 4 を形成しているため、構造的に電荷の注入箇所が限定されることとなり、確実にシリコン窒化膜 4 の近傍のみにキャリアをトラップすることが可能となる。また、第 2 の実施形態においては、シリコン窒化膜 4 を形成する際に、シリコン窒化膜



3の幅よりも幅狭となるように予めシリコン酸化膜2の両端部を所定量除去しているため、除去した領域に確実にシリコン窒化膜4を形成することができる。そして、シリコン酸化膜2の除去量を制御することによって、ゲート電極下のシリコン窒化膜4の幅を高い精度で調整することが可能となる。

### (第3の実施形態)

次に、本発明の第3の実施形態について説明する。図6A～図6Gは第3の実施形態に係る不揮発性半導体メモリの製造方法を工程順に示す概略断面図である。第2の実施形態に係る不揮発性半導体メモリの平面構成は、図2及び図3に示した第1の実施形態に係る不揮発性半導体メモリの平面構成と同様である。ここで、図6A～図6Gは不揮発性半導体メモリの1つのメモリセルに着目し、当該メモリセルの断面を製造工程順に示した図であって、第1の実施形態と同様、図3の一点鎖線I-I'に沿った位置に対応する断面を示している。なお、図6A～図6Gにおいて、第1の実施形態と共通の構成要素については図1A～図1Gと同様の符号を記して説明する。

先ず、p型シリコン半導体基板1上に所定のウェルを形成し、更に周辺回路領域の素子分離を行う（不図示）。次に、図6Aに示すように、メモリセルの領域において、熱酸化法によりシリコン酸化膜2を20nm程度の膜厚まで成長させ、シリコン酸化膜2上にCVD法によりシリコン窒化膜3を200nm程度の膜厚で堆積する。

その後、フォトリソグラフィー及びこれに続くエッチングにより、メモリセルのチャネル領域となる部位のp型シリコン半導体基板1上にはシリコン窒化膜3及びシリコン酸化膜2を残し、その他の領域のシリコン窒化膜3及びシリコン酸化膜2を除去する。

次に、図6Bに示すように、アンモニア（ $\text{NH}_3$ ）ガス雰囲気下において、温度950℃程度、時間20分から120分程度の条件にてアニール処理を行い、露出したp型シリコン半導体基板1上からシリコン窒化膜3のパターン端部の下層の所定範囲にかけてシリコン窒化膜4を形成する。この際に、表面に露出したp型シリコン半導体基板1においては、シリコンとアンモニアガスの直接反応によ

りシリコン窒化膜 4 が形成される。また、シリコン窒化膜 3 のパターン端部下においては、シリコン酸化膜 2 中を拡散したアンモニアとの反応でシリコン窒化膜 4 が形成される。シリコン窒化膜 4 の成膜条件を調整することにより、シリコン窒化膜 3 のパターン端に形成されるシリコン窒化膜 4 の幅を制御することが可能である。

なお、シリコン窒化膜 4 の形成はイオン注入法によって行っても良い。この場合には、窒素 ( $N_2$ ) 等を含むイオンを、加速エネルギー 30 keV 程度、ドーズ量  $1 \times 10^{16}$  (ions/cm<sup>2</sup>) 程度の条件でイオン注入し、アニールすることにより p 型シリコン半導体基板 1 の表面付近に窒素を含んだ膜を形成する。この際、p 型シリコン半導体基板 1 に対するイオン注入の角度を制御することで、シリコン窒化膜 3 のパターン端の下層に形成されるシリコン窒化膜 4 の幅を制御することができる。

次に、図 6 C に示すように、シリコン窒化膜 3 をマスクとして p 型シリコン半導体基板 1 の表面領域にイオン注入を行う。具体的には、n 型の不純物である砒素 (As) を加速エネルギー 50 keV 程度、ドーズ量を  $1 \times 10^{16}$  (ions/cm<sup>2</sup>) 程度の条件でイオン注入する。このイオン注入により打ち込まれた不純物は、シリコン窒化膜 3 の両側の p 型シリコン半導体基板 1 の表面領域における、ソース/ドレインとして機能する 1 対の不純物拡散層 6 となる。不純物拡散層 6 はビットラインとして機能するため、図 2 に示すように、複数本が所定方向に延在するように形成され、各メモリセルと接続される。

次に、図 6 D に示すように、シリコン窒化膜 3 をマスクとして、熱酸化により p 型シリコン半導体基板 1 の表面を選択酸化する。この際、図 6 C の工程におけるイオン注入によって、砒素が打ち込まれた領域のシリコン窒化膜 4 の耐酸化性は失われているため、図 6 D に示す工程での熱酸化によりシリコン窒化膜 3 の下層以外の p 型シリコン半導体基板 1 の表面が酸化されて、いわゆる LOCOS 素子分離としてのシリコン酸化膜 5 が成長する。そして、シリコン酸化膜 5 によって p 型シリコン半導体基板 1 上に素子活性領域が画定される。

次に、図 6 E に示すように、p 型シリコン半導体基板 1 を温度 150℃ 程度のリン酸溶液中に浸し、シリコン窒化膜 3 を溶解して除去する。この際、シリコン

窒化膜 3 の下層に形成されているシリコン窒化膜 4 は、上面がシリコン酸化膜 2 で覆われて保護されているため、リン酸によって除去されることなくシリコン酸化膜 2 下に残存する。

次に、図 6 F に示すように、p 型シリコン半導体基板 1 上のシリコン酸化膜 2 をフッ酸 (HF) 溶液に浸して除去する。その後、熱酸化を施して、ゲート絶縁膜としてのシリコン酸化膜 7 を膜厚 15 nm 程度形成する。この際、シリコン窒化膜 4 が形成されている部位では、シリコン窒化膜 4 により熱酸化による酸化速度が低下するため、この位置におけるシリコン酸化膜 7 は他の領域に比して薄く形成される。この熱酸化によってシリコン窒化膜 4 はシリコン酸化膜 7 によって覆われ、1 対の不純物拡散層 6 のそれぞれの近傍における p 型シリコン半導体基板 1 上には、シリコン酸化膜 7 中にシリコン窒化膜 4 を含む構造のゲート絶縁膜が形成される。

シリコン窒化膜 4 はシリコン酸化膜 7 に比してキャリアトラップ特性が高いため、第 1 の実施形態と同様に、ゲート絶縁膜として機能するシリコン酸化膜 7 中の一部にシリコン窒化膜 4 を含ませることによって、この部位におけるキャリアトラップ特性をシリコン酸化膜 7 の他の領域に比して向上させることができる。しかも、シリコン窒化膜 4 が形成されていない領域では、シリコン窒化膜 4 が形成された領域よりもシリコン酸化膜 7 が厚く形成されているため、上部に形成するゲート電極に電圧を印加した場合、ゲート酸化膜 7 へのキャリアトラップが抑制される。従って、チャネル領域の中央近傍に比してチャネル領域端部におけるキャリアトラップ特性を高めることができる。

次に、図 6 G に示すように、CVD 法により膜厚 6 nm 程度にシリコン窒化膜 10 をシリコン酸化膜 7 及びシリコン酸化膜 5 上に形成する。これにより、不純物拡散層 6 の近傍においては、シリコン酸化膜 7、シリコン窒化膜 4、シリコン酸化膜 7、シリコン窒化膜 10 の積層構造から成るトラップ膜が形成される。このように、電荷をトラップする膜としてのシリコン窒化膜を 2 層形成することによって、不純物拡散層 6 の近傍におけるキャリアトラップ特性を更に向上させることができる。

その後、CVD 法により、リン (P) がドーパされた多結晶シリコン膜 8 を p

型シリコン半導体基板 1 上の全面に形成し、更に、CVD法により多結晶シリコン膜 8 上にタングステンシリサイド膜 9 を膜厚 100 nm 程度堆積する。その後、フォトリソグラフィー及びこれに続くドライエッチングにより、多結晶シリコン膜 8 及びタングステンシリサイド膜 9 をゲート電極形状にパターニングする。これにより、多結晶シリコン膜 8 及びタングステンシリサイド膜 9 から成るポリサイド構造のゲート電極が形成される。そして、以上の工程により、トランジスタの主要部分であるソース／ドレイン拡散層（不純物拡散層 6）、ゲート絶縁膜（シリコン酸化膜 7、シリコン窒化膜 4、シリコン窒化膜 10）、ゲート電極（多結晶シリコン膜 8、タングステンシリサイド膜 9）の形成が完了する。

その後、一般的な配線層の形成工程を行い、本実施形態に係る不揮発性半導体メモリを完成させる。すなわち、CVD法により層間絶縁膜（シリコン酸化膜等）を堆積して、多結晶シリコン膜 8 及びタングステンシリサイド膜 9 から成るゲート電極を覆い、フォトリソグラフィー及びこれに続くドライエッチングにより、層間絶縁膜にコンタクトホールを形成する。そして、層間絶縁膜上に配線層として例えばアルミニウム膜をスパッタ法により堆積してコンタクトホールを充填し、フォトリソグラフィー及びこれに続くドライエッチングにより、アルミニウム膜を所定形状にパターニングする。その後、アルミニウム膜を覆うように保護膜を形成する。

以上説明したように、本発明の第 3 の実施形態によれば、第 1 の実施形態と同様に、ゲート酸化膜 7 の両端にキャリアトラップ特性の高いシリコン窒化膜 4 を形成しているため、構造的に電荷の注入箇所が限定されることとなり、確実にシリコン窒化膜 4 の近傍のみにキャリアをトラップすることが可能となる。そして、第 3 の実施形態においては、シリコン窒化膜 4 の上層にシリコン窒化膜 10 を重ねて形成することにより、ゲート酸化膜 7 の端部におけるキャリアトラップ特性をより向上させることができ、データの記録及び消去を更に確実に行うことができる。

#### （第 4 の実施形態）

次に、本発明の第 4 の実施形態について説明する。図 7 A～図 7 F は第 4 の実

施形態に係る不揮発性半導体メモリの製造方法を工程順に示す概略断面図である。第4の実施形態に係る不揮発性半導体メモリの平面構成は、図2及び図3に示した第1の実施形態に係る不揮発性半導体メモリの平面構成と同様である。ここで、図7A～図7Fは不揮発性半導体メモリの2つのメモリセルに着目し、当該メモリセルの断面を製造工程順に示した図であって、図3の一点鎖線I I'に沿った位置に対応する断面を示している。

先ず、図7Aに示すように、p型シリコン半導体基板11（比抵抗 $1 \sim 12 \Omega \text{ cm}$ 、ホウ素（B）含有）の主表面上に、CVD法によりシリコン窒化膜12を膜厚 $150 \text{ nm} \sim 300 \text{ nm}$ 程度に形成する。

次に、フォトリソグラフィ及びこれに続くドライエッチングにより、ビットライン拡散層を形成する予定の領域上のシリコン窒化膜12を選択的に除去する。そして、シリコン窒化膜12をマスクとしてイオン注入を行う。具体的には、n型の不純物である砒素（As）を加速エネルギー $60 \text{ keV} \sim 100 \text{ keV}$ 程度、ドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16} (\text{ions} / \text{cm}^2)$ 程度の条件でイオン注入し、ビットライン拡散層となる高濃度の不純物拡散層13を形成する。

次に、図7Bに示すように、CVD法によりシリコン酸化膜14を膜厚 $300 \text{ nm} \sim 500 \text{ nm}$ 程度形成し、CMP（化学機械研磨）法又はドライエッチングによりビットライン拡散層（不純物拡散層13）上のみにシリコン酸化膜14を残し、その他の領域のシリコン酸化膜14を除去する。これにより、不純物拡散層13上のシリコン酸化膜14の表面がシリコン窒化膜12の表面と略同一面となる。この図7A及び図7Bに示す工程により、不純物拡散層13とシリコン酸化膜14を1回のフォトリソグラフィで自己整合的に形成することができる。

次に、図7Cに示すように、リン酸等を用いたウエットエッチングによりシリコン窒化膜12を除去し、下層のp型シリコン半導体基板11の表面を露出させる。その後、p型シリコン半導体基板11に熱酸化を施して、シリコン窒化膜12を除去した結果露出したp型シリコン半導体基板11の表面に膜厚 $10 \text{ nm} \sim 30 \text{ nm}$ 程度のシリコン酸化膜15を形成する。その後、CVD法により、シリコン酸化膜14及びシリコン酸化膜15上に、キャリアトラップ膜となるシリコン窒化膜16を膜厚 $10 \text{ nm} \sim 20 \text{ nm}$ 程度形成する。

次に、図 7 D に示すように、C V D 法により、例えばシリコン酸化膜 1 7 を膜厚 3 0 0 n m ～ 5 0 0 n m 程度形成し、ドライエッチングによりシリコン酸化膜 1 4 の側壁にのみに残存するように除去する。これにより、シリコン酸化膜 1 4 の側壁にシリコン酸化膜 1 7 及びシリコン窒化膜 1 6 から成るサイドウォールが形成される。また、このドライエッチングによりサイドウォール間のシリコン窒化膜 1 6 及びシリコン酸化膜 1 5 が除去されて p 型シリコン半導体基板 1 1 の表面が露出する。

次に、図 7 E に示すように、温度 8 0 0 ～ 9 0 0 ℃ 程度、時間 3 0 ～ 9 0 分程度の条件で p 型シリコン半導体基板 1 1 の表面に熱酸化を施して、露出している p 型シリコン半導体基板 1 1 の表面にシリコン酸化膜 1 8 を形成する。その後、ウエットエッチングによりシリコン酸化膜 1 7 を除去し、熱酸化を施すことによりシリコン窒化膜 1 6 の表面を酸化してシリコン酸化膜 1 9 を形成する。ここで、例えば、シリコン酸化膜 1 7 中に予め不純物（ホウ素、リン）等を含有させておくことにより、シリコン酸化膜 1 7 とシリコン酸化膜 1 4 のエッチングレートを異ならせることができ、シリコン酸化膜 1 4 の除去量を最小限に抑えた状態でシリコン酸化膜 1 7 を除去することが可能である。また、シリコン酸化膜 1 8 は熱酸化により形成した酸化膜であるため、シリコン酸化膜 1 7 とはエッチングレートが異なり、その除去量は最小限に抑えられる。シリコン酸化膜 1 7 の代わりに、シリコン酸化膜 1 4、1 8 とはエッチングレートが異なる他の絶縁膜を用いてもよい。

これにより、シリコン酸化膜 1 8 の両側の p 型シリコン半導体基板 1 1 上において、シリコン窒化膜 1 6 は、下層がシリコン酸化膜 1 5、上層がシリコン酸化膜 1 9 によって覆われることとなり、ゲート絶縁膜が形成される。シリコン酸化膜 1 8 を形成する熱酸化の際に、シリコン窒化膜 1 6 はシリコン酸化膜 1 7 によって覆われているため、シリコン酸化膜 1 8 の膜厚を独立して制御することが可能である。

なお、シリコン酸化膜 1 7 をウエットエッチングによって除去した後、熱酸化を施してシリコン酸化膜 1 8 とシリコン酸化膜 1 9 を同時に形成してもよい。この場合、シリコン窒化膜 1 6 近傍では熱酸化による酸化速度が低下するため、シ

リコン酸化膜 19 はシリコン酸化膜 18 よりも薄く形成される。

次に、図 7 F に示すように、CVD 法により燐 (P) を  $2 \times 10^{20} \sim 6 \times 10^{20}$  (atoms/cm<sup>3</sup>) 程度含有した多結晶シリコン膜 20 を、膜厚 100 nm ~ 200 nm 程度形成し、フォトリソグラフィー及びこれに続くドライエッチングによりワードライン形状にパターニングする。

その後、p 型シリコン半導体基板 11 中の拡散層の熱処理による活性化、層間絶縁膜の形成、コンタクト孔の開孔、メタル配線の形成等を行い、本実施形態に係る不揮発性半導体メモリを完成させる。

以上説明したように、本発明の第 4 の実施形態によれば、第 1 の実施形態と同様に、ゲート酸化膜 18 の両端にキャリアトラップ特性の高いシリコン窒化膜 15 を形成しているため、構造的に電荷の注入箇所が限定されることとなり、確実にシリコン窒化膜 15 の近傍のみにキャリアをトラップすることが可能となる。また、第 4 の実施形態によれば、不純物拡散層 13 と、不純物拡散層 13 上のシリコン酸化膜 14 を 1 回のフォトリソグラフィーで自己整合的に形成することができる。これにより、隣接する 2 つの不純物拡散層 13 間にシリコン酸化膜 15, 18, 19 及びシリコン窒化膜 16 から成るゲート絶縁膜を高い精度で形成することが可能となる。また、シリコン酸化膜 18 を形成する場合に、シリコン窒化膜 16 をサイドウォールであるシリコン酸化膜 17 によって覆うことにより、シリコン酸化膜 18 の膜厚を独立して高い精度で形成することが可能となる。

なお、上述の第 2 ~ 第 4 の実施形態に係る不揮発性半導体メモリへのデータの書き込み、消去及び読み出しの各動作については、図 4 A 及び図 4 B において説明した第 1 の実施形態と同様に行うことが可能である。

また、上記各実施形態においては、キャリアトラップ膜としてシリコン窒化膜を用い、シリコン窒化膜の形成された部位のキャリアトラップ特性を高めた構成を例示したが、本発明はこれに限定されるものではなく、他の絶縁膜を用いる場合を含め、チャネル領域の端部におけるキャリアトラップ特性を局部的に高めた構成は全て本発明の範疇に属する。

#### 産業上の利用可能性

以上のように、本発明は、半導体基板の表面領域に形成された１対の不純物拡散層と、当該１対の不純物拡散層間における半導体基板上にゲート絶縁膜を介して形成されたゲート電極とを備え、ゲート電極に所定電圧を印加することによりゲート絶縁膜にキャリアを捕獲するように成された半導体記憶装置を対象とし、ゲート絶縁膜の１対の不純物拡散層のそれぞれに近接する位置におけるキャリアトラップ特性が他の領域に比して高くなるように形成したため、キャリアの注入位置を異ならせて２ビットの情報を安定かつ確実に記録し、保持することが可能となる。従って、１つのメモリセルに２ビットの情報を記録可能な不揮発性半導体メモリにおける、書き込み又は消去不良の発生を抑止することができ、信頼性を向上させた半導体記憶装置及びその製造方法を提供することができる。



## 請 求 の 範 囲

1. 半導体基板の表面領域に形成された1対の不純物拡散層と、

前記1対の不純物拡散層間における前記半導体基板上にゲート絶縁膜を介して形成されたゲート電極とを備え、

前記ゲート電極に所定電圧を印加することにより前記ゲート絶縁膜にキャリアを捕獲するように成された半導体記憶装置であって、

前記ゲート絶縁膜は、前記1対の不純物拡散層のそれぞれに近接する位置におけるキャリアトラップ特性が他の領域に比して高くなるように形成されていることを特徴とする半導体記憶装置。

2. 前記1対の不純物拡散層のそれぞれに近接する位置における前記ゲート絶縁膜中に、前記ゲート絶縁膜に比してキャリアトラップ特性が高い電荷捕獲膜が形成されていることを特徴とする請求項1に記載の半導体記憶装置。

3. 前記ゲート絶縁膜は、前記1対の不純物拡散層のそれぞれに近接する位置が他の領域に比して薄く形成されていることを特徴とする請求項2に記載の半導体記憶装置。

4. 前記ゲート絶縁膜は、前記1対の不純物拡散層のそれぞれに近接する位置の電気容量換算膜厚が他の領域に比して小さくなるように形成されていることを特徴とする請求項1に記載の半導体記憶装置。

5. 前記ゲート絶縁膜上に別の電荷捕獲膜が形成され、前記ゲート絶縁膜上に当該別の電荷捕獲膜を介して前記ゲート電極が形成されていることを特徴とする請求項2に記載の半導体記憶装置。

6. 半導体基板上に第1及び第2の絶縁膜を順次形成する第1の工程と、

前記第1及び第2の絶縁膜を選択的に除去して共にパターニングする第2の工程と、

露出した前記半導体基板上から前記第2の絶縁膜の下層の所定範囲にかけての前記半導体基板上に第3の絶縁膜を形成する第3の工程と、

前記第2の絶縁膜をマスクとして前記半導体基板に不純物を導入し、前記第2の絶縁膜の両側の前記半導体基板の表面領域に各々が独立した一対の不純物拡散

層を形成する第 4 の工程と、

前記第 2 の絶縁膜の下層の所定範囲に形成された前記第 3 の絶縁膜を残し、他の領域の前記第 3 の絶縁膜を除去して前記半導体基板を露出させる第 5 の工程と、

露出した前記半導体基板を熱酸化して素子分離膜を形成する第 6 の工程と、

前記第 1 及び第 2 の絶縁膜を除去して、下層の前記半導体基板及び前記第 3 の絶縁膜を露出させ、当該第 3 の絶縁膜を電荷捕獲膜とする第 7 の工程と、

露出した前記半導体基板の表面を熱酸化して第 4 の絶縁膜を形成し、前記電荷捕獲膜の上層及び下層を当該第 4 の絶縁膜で覆う第 8 の工程と、

前記第 4 の絶縁膜の上層に導電膜を形成する第 9 の工程と、

前記導電膜をゲート電極形状にパターンニングする第 10 の工程とを有することを特徴とする半導体記憶装置の製造方法。

7. 前記第 2 の工程と前記第 3 の工程の間に、前記第 1 の絶縁膜をパターン幅方向に所定量除去して、前記第 2 の絶縁膜のパターン幅よりも幅狭にする第 11 の工程を更に有し、

前記第 3 の工程において、露出した前記半導体基板上及び前記所定量の範囲における前記半導体基板上に前記第 3 の絶縁膜を形成することを特徴とする請求項 6 に記載の半導体記憶装置の製造方法。

8. 前記第 8 の工程と前記第 9 の工程の間に、前記第 4 の絶縁膜上に第 5 の絶縁膜を形成する第 12 の工程を更に有し、

前記第 9 の工程において前記第 4 の絶縁膜上に前記第 5 の絶縁膜を介して前記導電膜を形成することを特徴とする請求項 6 に記載の半導体記憶装置の製造方法。

9. 半導体基板上に第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜を選択的に除去して下層の前記半導体基板を露出させる工程と、

前記第 1 の絶縁膜をマスクとして露出した前記半導体基板に不純物を導入し、前記第 1 の絶縁膜の両側の前記半導体基板の表面領域に各々が独立した一対の不純物拡散層を形成する工程と、

前記不純物拡散層上及び前記第 1 の絶縁膜を覆うように第 2 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜上の前記第 2 の絶縁膜を除去し、前記第 1 の絶縁膜を露出させる工程と、

前記第 1 の絶縁膜を除去して下層の前記半導体基板を露出させ、この領域を素子活性領域とする工程と、

前記素子活性領域における前記半導体基板上に第 3 の絶縁膜を形成する工程と、

前記第 3 の絶縁膜上に第 4 の絶縁膜を形成する工程と、

前記第 4 及び第 2 の絶縁膜を覆うように第 5 の絶縁膜を形成する工程と、

前記素子活性領域の両側にのみ残存するように前記第 5 の絶縁膜を除去して、前記第 2 の絶縁膜の側壁に前記第 5 の絶縁膜から成るサイドウォールを形成するとともに、前記素子活性領域における前記半導体基板を露出させる工程と、

露出した前記半導体基板上に第 6 の絶縁膜を形成する工程と、

前記サイドウォールを除去して前記サイドウォールの下層の前記第 4 の絶縁膜を露出させ、当該第 4 の絶縁膜を電荷捕獲膜とする工程と、

前記電荷捕獲膜上に第 7 の絶縁膜を形成する工程と、

前記第 6 及び第 7 の絶縁膜上を覆う導電膜を形成する工程とを有することを特徴とする半導体記憶装置の製造方法。

図 1 A

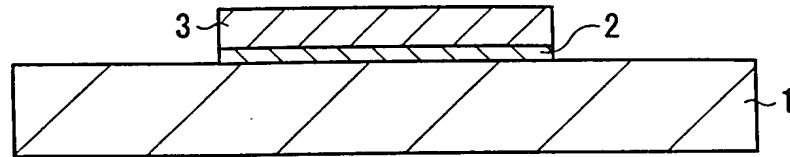


図 1 B

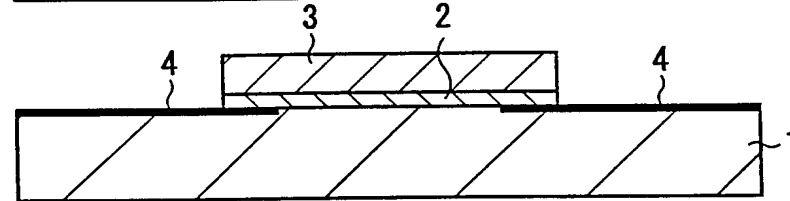


図 1 C

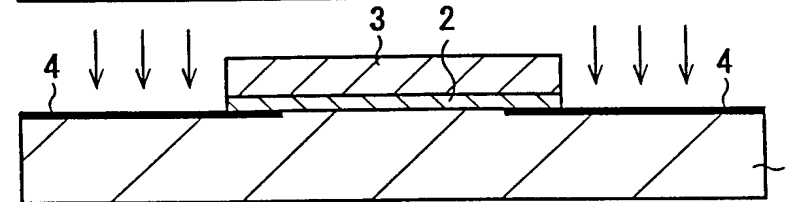


図 1 D

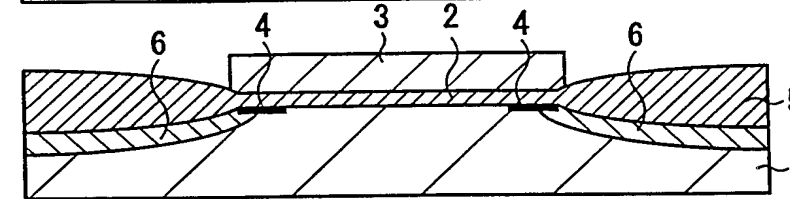


図 1 E

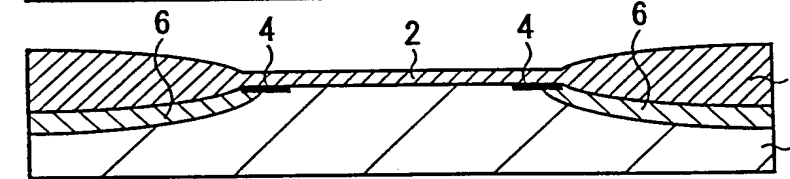


図 1 F

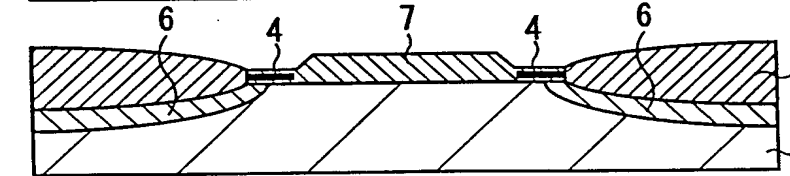


図 1 G

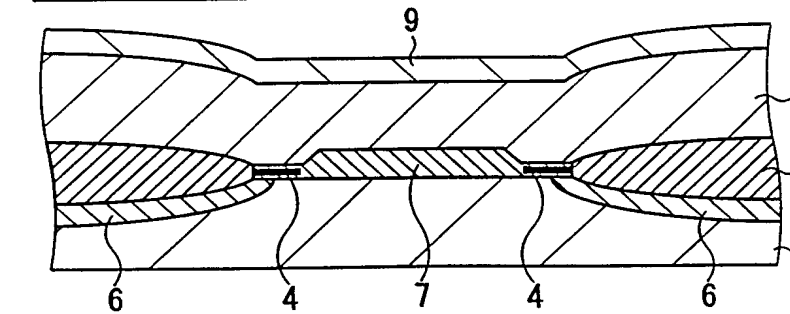


図 2

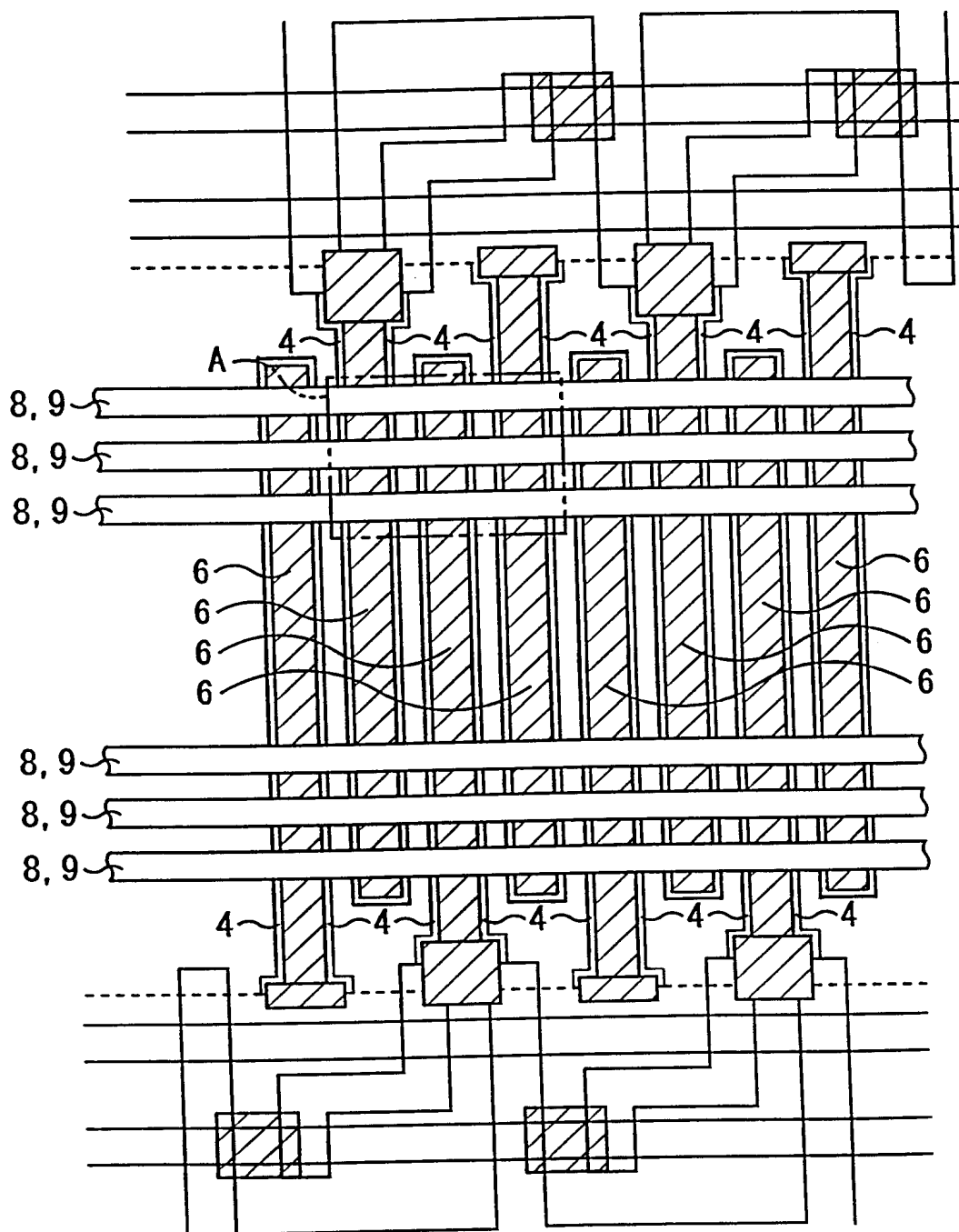


图 3

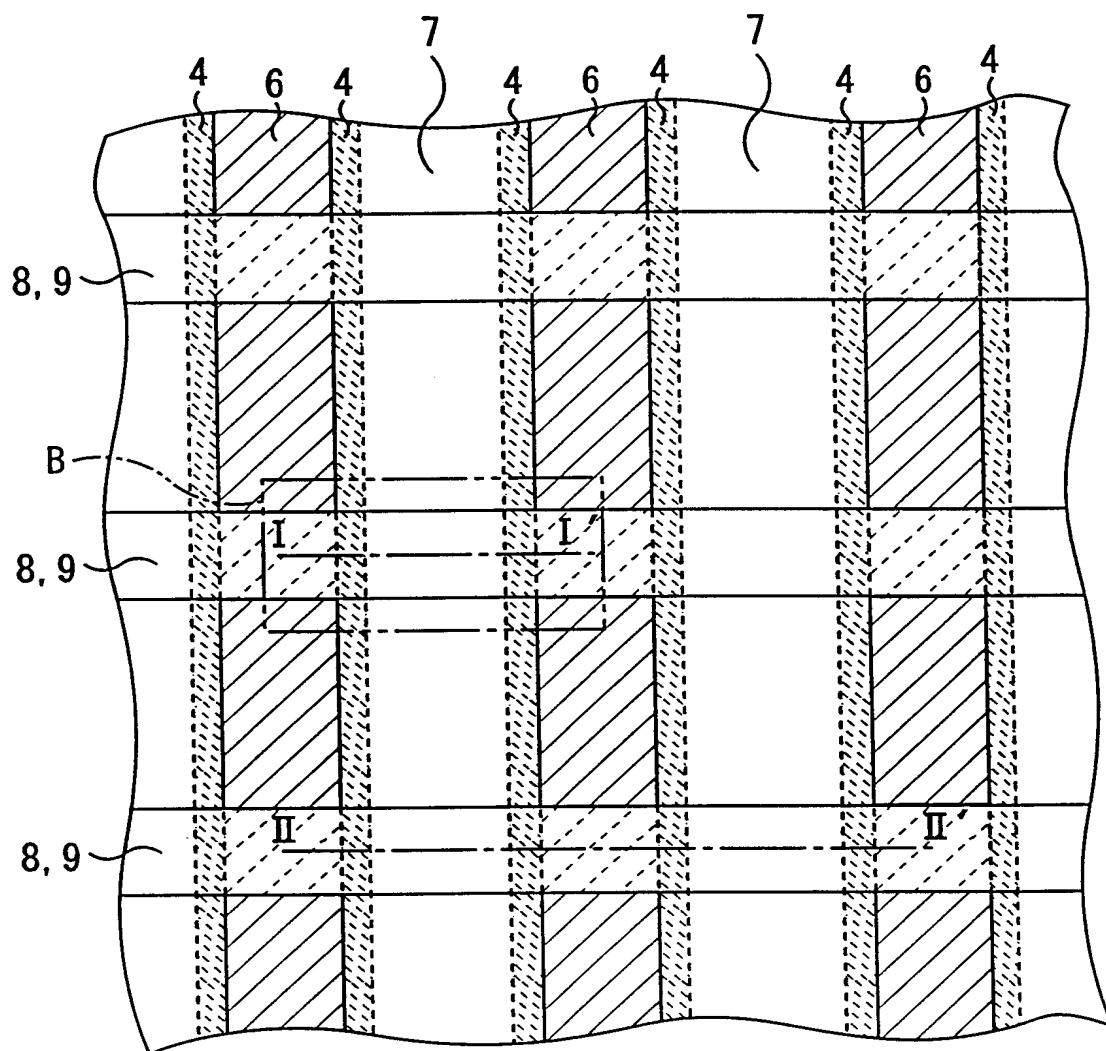


図 4 A

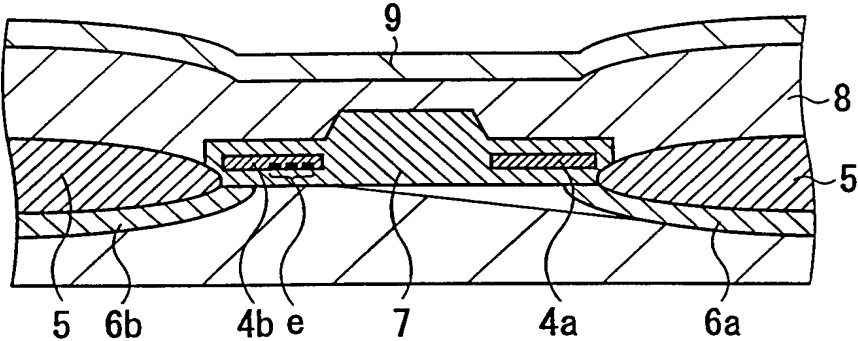


図 4 B

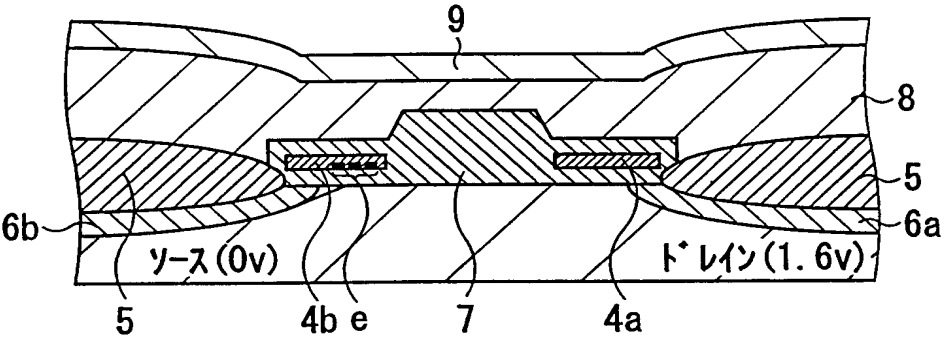


図 5 A

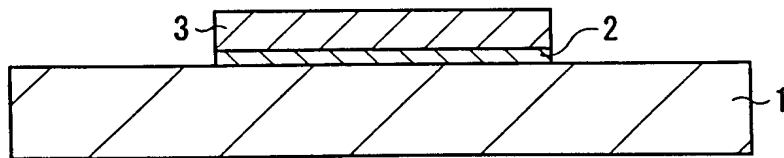


図 5 B

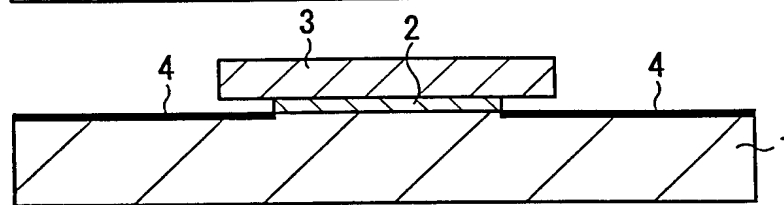


図 5 C

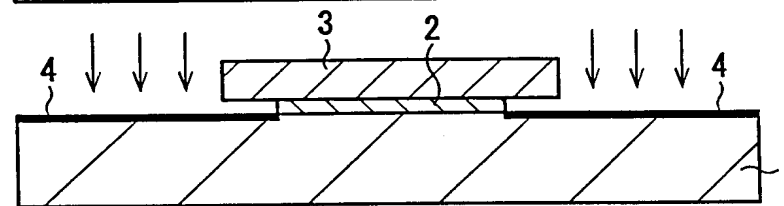


図 5 D

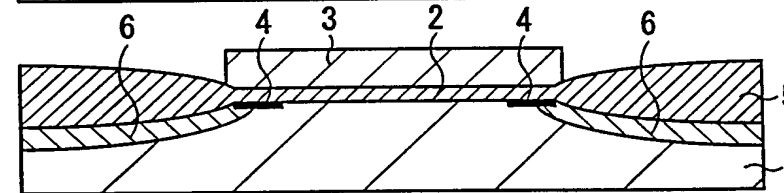


図 5 E

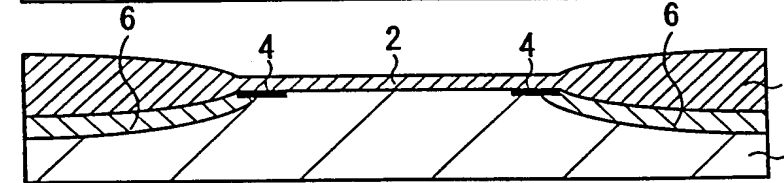


図 5 F

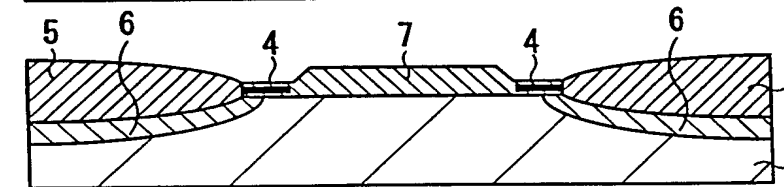


図 5 G

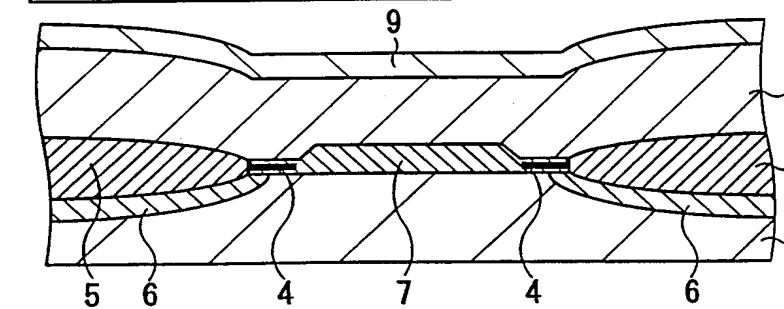




図 6 A

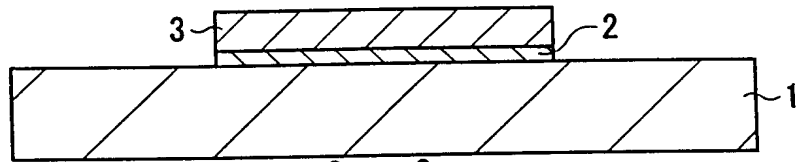


図 6 B

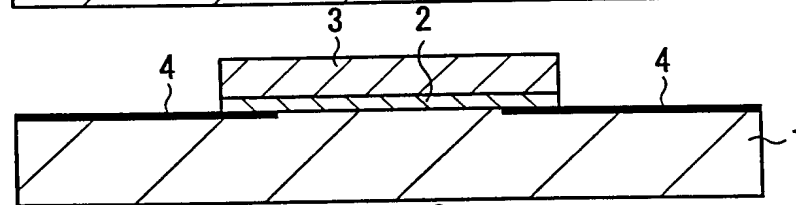


図 6 C

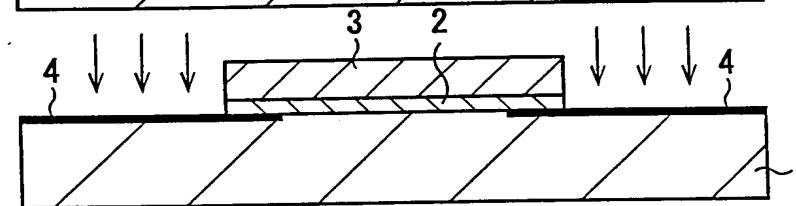


図 6 D

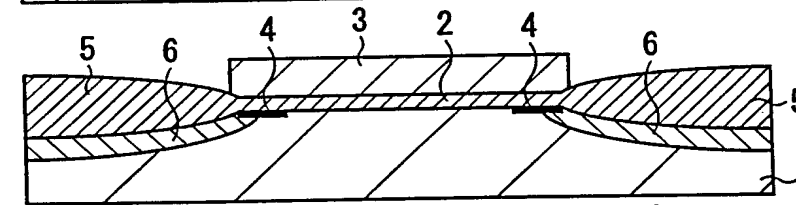


図 6 E

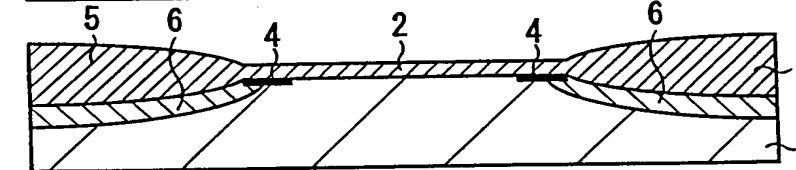


図 6 F

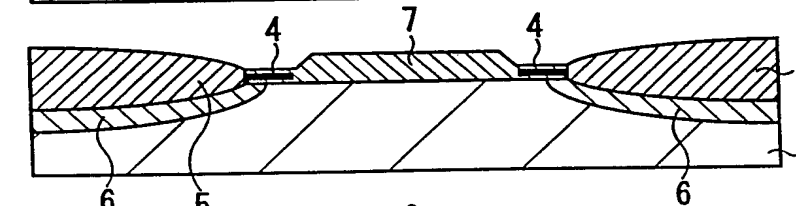


図 6 G

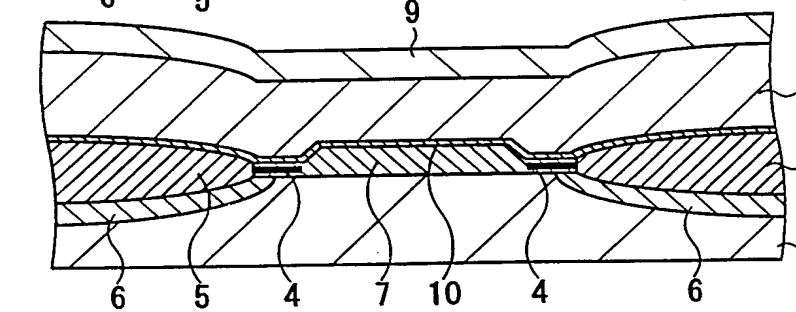


図 7 A

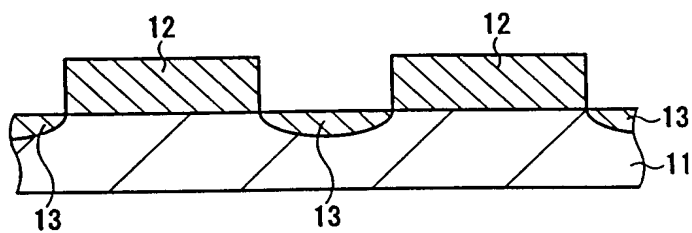


図 7 B

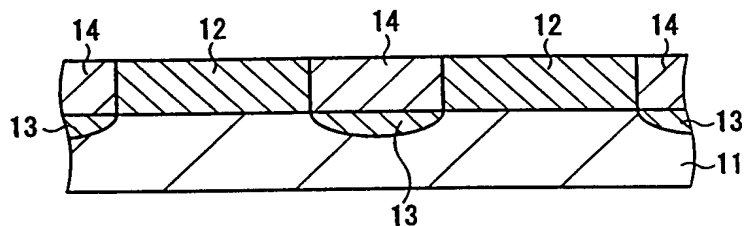


図 7 C

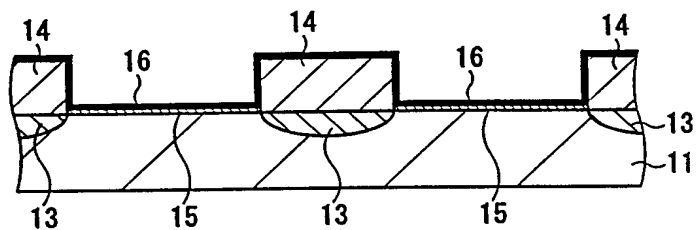


図 7 D

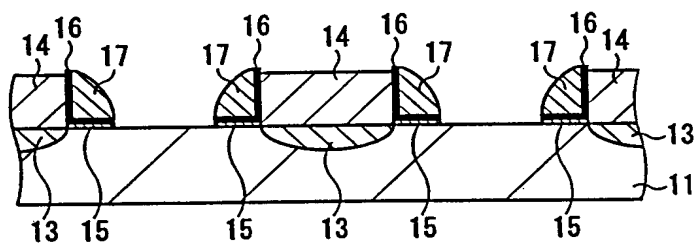


図 7 E

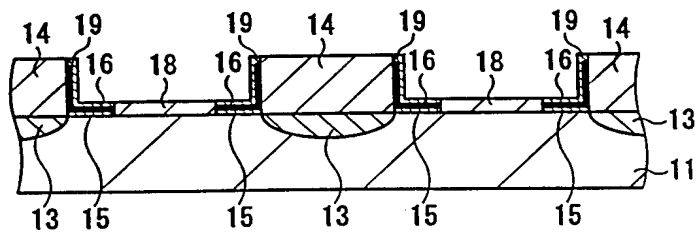


図 7 F

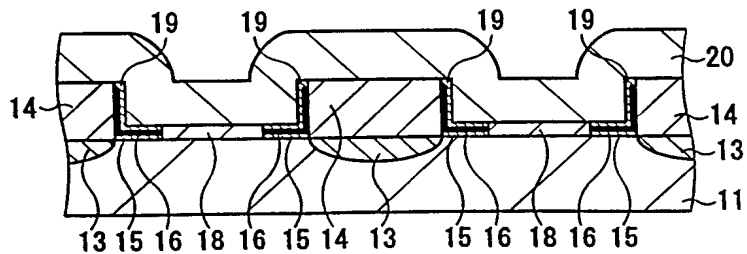
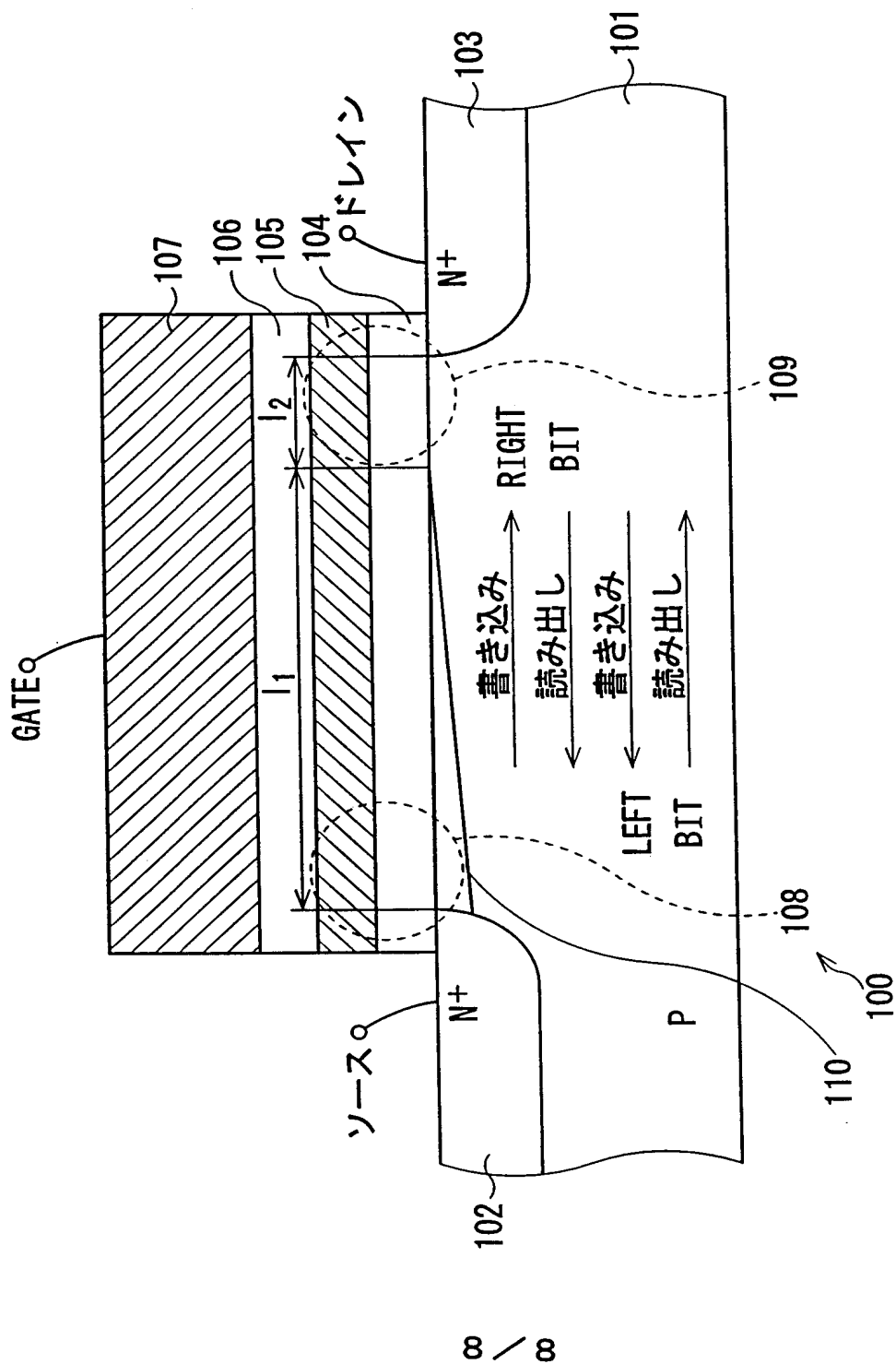


图 8



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/03468

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L 29/788, H01L29/792, H01L27/115, H01L21/8247

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L 29/788, H01L29/792, H01L27/115, H01L21/8247, G11C16/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Toroku Jitsuyo Shinan Koho | 1994-2000 |
| Kokai Jitsuyo Shinan Koho | 1971-2000 | Jitsuyo Shinan Toroku Koho | 1996-2000 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages  | Relevant to claim No. |
|-----------|---|-----------------------|
| X         | JP, 5-145080, A (Kawasaki Steel Corporation),<br>11 June, 1993 (11.06.93),<br>Full text; Figs. 1 to 4 (Family: none)  | 1-4                   |
| Y         | Full text; Figs. 1 to 4 (Family: none)  | 5                     |
| Y         | JP, 60-161674, A (Matsushita Electronic Corporation),<br>23 August, 1985 (23.08.85),<br>Full text; Figs. 1 to 2 (Family: none)  | 5                     |
| X         | JP, 48-073086, A (Shunpei YAMAZAKI),<br>02 October, 1973 (02.10.73),<br>page 6, upper left column, lines 15 to 19; Fig. 2, (D), (D')<br>(Family: none)                              | 1, 2                  |
| X         | US, 5796140, A (Nippon Steel Corporation),<br>18 August, 1998 (18.08.98),<br>Column 15, lines 16 to 40<br>& JP, 8-64697, A<br>page 9, left column, line 46 to right column, line 17 | 1, 2                  |
| A         | Microfilm of the specification and drawings annexed to<br>the request of Japanese Utility Model Application   | 1-9                   |



Further documents are listed in the continuation of Box C.



See patent family annex.

|   |  |
|---|--|
| * Special categories of cited documents:  | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  |
| "A" document defining the general state of the art which is not considered to be of particular relevance  | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone   |
| "E" earlier document but published on or after the international filing date  | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "&" document member of the same patent family  |
| "O" document referring to an oral disclosure, use, exhibition or other means  |  |
| "P" document published prior to the international filing date but later than the priority date claimed  |  |

Date of the actual completion of the international search  
17 August, 2000 (17.08.00)Date of mailing of the international search report  
29 August, 2000 (29.08.00)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/03468

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages   | Relevant to claim No. |
|-----------|--|-----------------------|
| A         | No.112503/1979 (Laid-open No.32464/1981)<br>(Hitachi, Ltd.),<br>30 March, 1981 (30.03.81),<br>Full text; Figs. 1 to 4 (Family: none)<br><br>US, 5143860, A (Texas Instruments Incorporated),<br>01 September, 1992 (01.09.92),<br>Full text; Fig. 4 (Family: none) | 9                     |

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L 29/788, H01L29/792, H01L27/115, H01L21/8247

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L 29/788, H01L29/792, H01L27/115, H01L21/8247, G11C16/04

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2000年 |
| 日本国登録実用新案公報 | 1994-2000年 |
| 日本国実用新案登録公報 | 1996-2000年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示   | 関連する<br>請求の範囲の番号 |
|-----------------|---|------------------|
| X               | JP, 5-145080, A(川崎製鉄株式会社)<br>11. 06月. 1993(11. 06. 93)<br>全文, 図1-図4(ファミリーなし)      | 1-4              |
| Y               | 全文, 図1-図4(ファミリーなし)  | 5                |
| Y               | JP, 60-161674, A(松下電子工業株式会社)<br>23. 08月. 1985(23. 08. 85)<br>全文, 第1図-第2図(ファミリーなし) | 5                |

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

17. 08. 00

国際調査報告の発送日

29. 08. 00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

今井 拓也



4M

9836

電話番号 03-3581-1101 内線 3461

| C (続き) . 関連すると認められる文献 |   |                  |
|-----------------------|---|------------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示   | 関連する<br>請求の範囲の番号 |
| X                     | JP, 48-073086, A (山崎舜平)<br>02. 10月. 1973 (02. 10. 73)<br>第6頁左上欄15行-19行, 第2図(D), (D') (ファミリーなし)  | 1, 2             |
| X                     | US, 5796140, A (Nippon Steel Corporation)<br>18. 08月. 1998 (18. 08. 98)<br>第15欄16行-40行<br>& JP, 8-64697, A, 第9頁左欄46行-右欄17行                                | 1, 2             |
| A                     | 日本国実用新案登録出願54-112503号 (日本国実用新案登録出願公開<br>56-32464号) の願書に添付した明細書及び図面の内容を撮影したマ<br>イクロフィルム (株式会社日立製作所)<br>30. 03月. 1981 (30. 03. 81)<br>全文, 第1図-第4図 (ファミリーなし) | 1-9              |
| A                     | US, 5143860, A (Texas Instruments Incorporated)<br>01. 09月. 1992 (01. 09. 92)<br>全文, 第4図 (ファミリーなし)  | 9                |